

LABORATORIUM - ELEKTRONIKA

Układy kombinacyjne

PRZEBIEG ĆWICZENIA

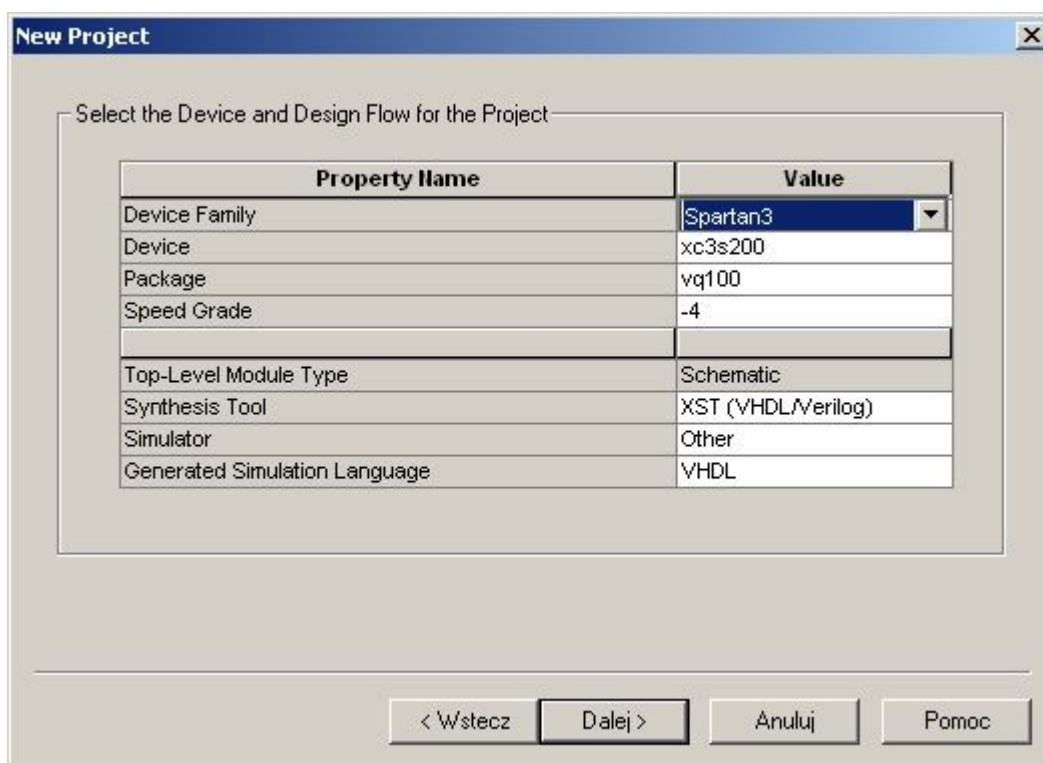
CZĘŚĆ A – projekt układu.

1. Na podstawie zadanej przez prowadzącego w postaci tabeli stanów funkcji logicznej (OUT_z) należy **(cała wiedza potrzebna do realizacji niżej postawionych celów znajduje się w instrukcji):**
 - 1.1. Uzyskać postać kanoniczną funkcji – zamieścić w protokole (punkt 2).
 - 1.2. Zminimalizować funkcję – wynik (czyli zminimalizowaną postać funkcji) zamieścić w protokole (punkt 3).
 - 1.3. Zaprojektować na papierze uzyskaną minimalną wersję układu na dowolnych bramkach logicznych, projekt zamieścić w protokole (punkt 4).

CZĘŚĆ B – implementacja projektu w strukturze FPGA

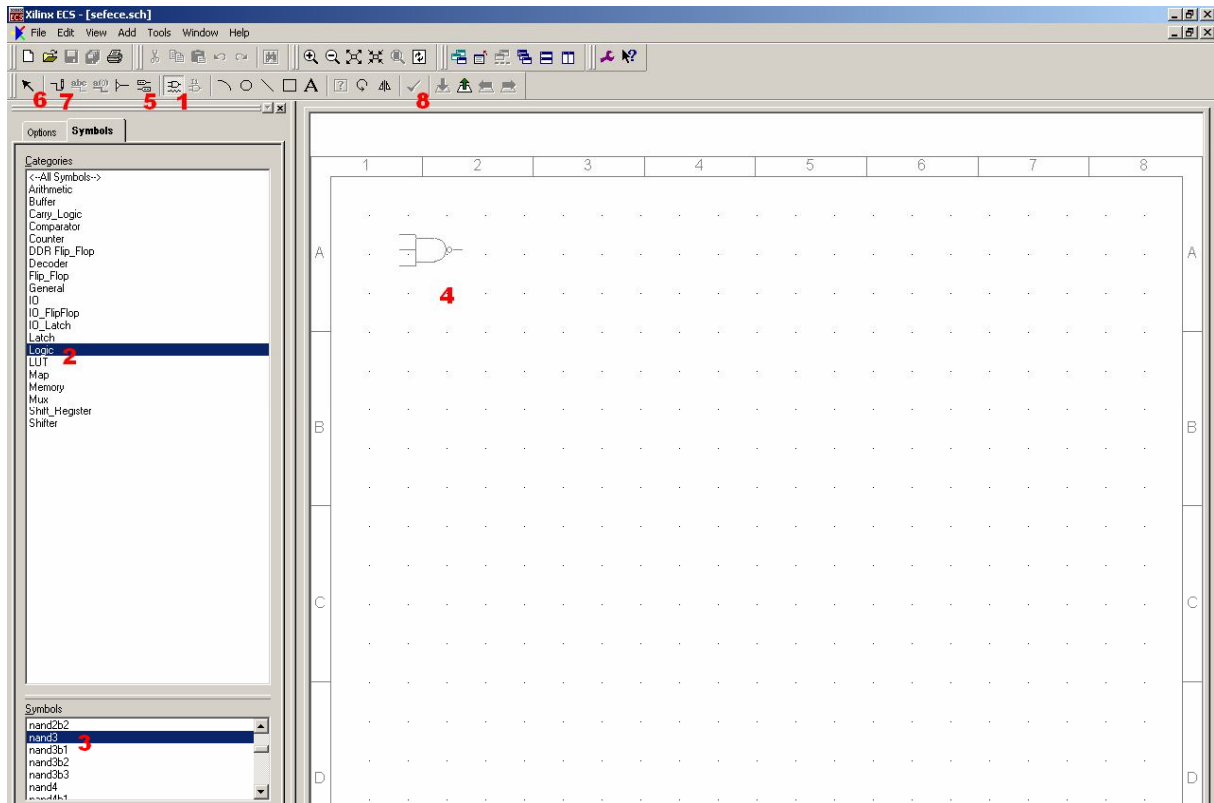
(UWAGA: kolejne podpunkty należy realizować bardzo uważnie, ponieważ błędy popełnione na tym etapie mogą być później nie do cofnięcia i trzeba będzie zacząć od początku).

2. Na podstawie stworzonego w punkcie 1 projektu:
 - 2.1. Uruchomić aplikację **Xilinx - Project Navigator**. Jest to aplikacja firmy Xilinx umożliwiająca projektowanie, symulację i implementację układów logicznych w strukturach układów FPGA.
 - 2.2. Stworzyć nowy projekt (**File -> New Project**). Nadać mu dowolną nazwę (**w nazwach NIE używać spacji**) (**Project Name**), wskazać lokalizację (można użyć domyślnej) i wybrać sposób realizacji projektu (**Top-Level Module Type**) – **Schematic**.
 - 2.3. W następnym oknie wybrać rodzaj programowanego układu logicznego. Powinien być to układ wykorzystywany na ćwiczeniu, zgodnie ze screenem (wszystkie widoczne informacje są dostępne na obudowie układu FPGA):

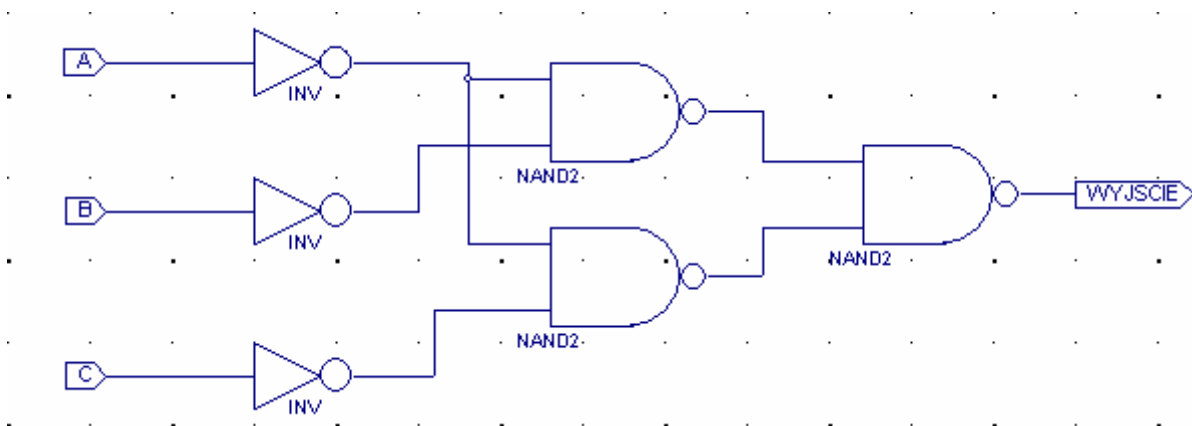


- 2.4. W kolejnym oknie stworzyć nowe źródło (**New Source**) do projektu. Nadać mu dowolną nazwę (**File Name**) i wybrać typ – **Schematic**.

- 2.5. Dwa kolejne okna można przeklikać bez zmian. Na tym kończy się wstępna konfiguracja projektu. Na ekranie powinno pojawić się okno projektowania układu. W tym oknie budujemy swój projekt:
 - 2.5.1. Najpierw należy wstawić potrzebne bramki logiczne, z menu u góry wybrać pozycję **Add Symbol (1)**, po lewej pojawi się lista dostępnych kategorii, stamtąd wybrać pozycję **Logic(2)**, a wtedy na dole (3) pojawi się lista dostępnych bramek logicznych, z których należy wybrać i wstawić do schematu bramki potrzebne do projektu.
 - 2.5.2. Po wstawieniu wszystkich potrzebnych bramek z menu należy wybrać pozycję **Add I/O Marker (5)** i wstawić wejścia i wyjścia układu (w przypadku przykładowego projektu będą to 3 wejścia (**Add an input marker**) i jedno wyjście (**Add an output marker**)). Nazwy wejść można zmieniać dwuklikiem.



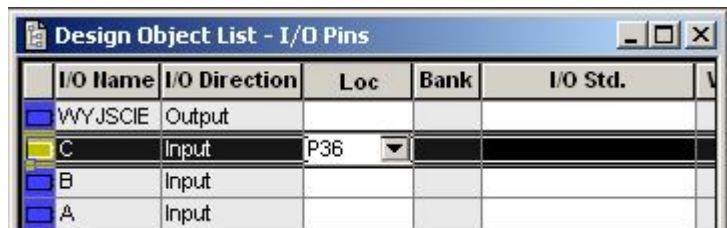
- 2.5.3. Gdy wstawione będą już bramki, wejścia i wyjścia, można jeszcze ewentualnie uporządkować ułożenie układu (**Select (6)**) i wykonać wszystkie potrzebne połączenia (**Add Wire(7)**). Gotowy układ (przykład na rysunku poniżej) można jeszcze sprawdzić pod względem formalnym (**Check Schematic(8)**).



- 2.5.4. Następnym krokiem jest przypisanie wejść i wyjść wykonanego układu do nóżek układu scalonego. W tym celu należy wrócić do okna **Xilinx - Project Navigator** i w oknie po lewej stronie dwukliknąć w opcję **Assign Package Pins**. Powinno otworzyć się okno Xilinx PACE i topologia wykorzystywanego układu FPGA. Po lewej stronie (**Design Object List**) widać wcześniej zaprojektowane wejścia/wyjścia układu.

Nóżki układu przypisać zgodnie z załączoną notą zestawu ZL6PLD. Jako wejścia wykorzystać wybrane z przycisków klawiatury (strona 6 noty), jako wyjścia wybrane diody LED (strona 5 noty).

Piny najłatwiej przypisać wpisując tam bezpośrednio nóżkę układu scalonego, której chcemy przypisać daną funkcję, przykładowo chcąc przypisać nóżce 36 układu scalonego funkcję wejścia C, należy w kolumnie Loc wpisać P36 w odpowiednim wierszu (jak na rysunku poniżej).



I/O Name	I/O Direction	Loc	Bank	I/O Std.
WYJSCIE	Output			
C	Input	P36		
B	Input			
A	Input			

- 2.6. Po przypisaniu pinów można przystąpić do implementacji projektu w strukturze FPGA. W tym celu należy zgłosić prowadzącemu gotowość do zaprogramowania układu.
3. **Jeżeli układ realizuje zadaną funkcję, ćwiczenie jest zaliczone.**
4. Ewentualnie nasuwające się wnioski/przemyślenia można zamieścić na odwrocie protokołu.